

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicants : Takahiko Kawahara, et al.  
Serial No. : To Be Assigned Art Unit : Not Yet Assigned  
Filed : Herewith Examiner : Not Yet Assigned  
For : Semiconductor Optical Device, Semiconductor Laser Device,  
: Semiconductor Optical Modulation Device, and Semiconductor  
: Optical Integrated Device

**CLAIM FOR PRIORITY UNDER 35 U.S.C. §119**

Commissioner For Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

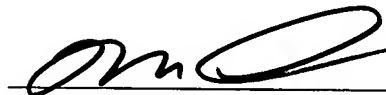
Sir :

The above-referenced patent application claims priority benefit from the foreign patent application listed below:

**Application No. 2002-321568, filed in JAPAN on November 5, 2002.**

In support of the claim for priority, attached is a certified copy of the Japanese priority application.

Respectfully submitted,  
SMITH, GAMBRELL & RUSSELL, LLP



Michael A. Makuch, Reg. No. 32,263  
1850 M Street, NW – Suite 800  
Washington, DC 20036  
Telephone : 202/263-4300  
Facsimile : 202/263-4329

Date : October 9, 2003

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月 5日

出願番号

Application Number:

特願2002-321568

[ ST.10/C ]:

[ JP 2002-321568 ]

出願人

Applicant(s):

住友電気工業株式会社

2003年 5月27日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3039353

【書類名】 特許願

【整理番号】 102Y0403

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 5/227  
H01S 5/24

【発明者】

    【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会  
社横浜製作所内

    【氏名】 河原 孝彦

【発明者】

    【住所又は居所】 神奈川県横浜市栄区田谷町 1 番地 住友電気工業株式会  
社横浜製作所内

    【氏名】 村田 道夫

【特許出願人】

    【識別番号】 000002130

    【氏名又は名称】 住友電気工業株式会社

【代理人】

    【識別番号】 100088155

    【弁理士】

    【氏名又は名称】 長谷川 芳樹

【選任した代理人】

    【識別番号】 100089978

    【弁理士】

    【氏名又は名称】 塩田 辰也

【選任した代理人】

    【識別番号】 100092657

    【弁理士】

    【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100110582

【弁理士】

【氏名又は名称】 柴田 昌聰

【選任した代理人】

【識別番号】 100108257

【弁理士】

【氏名又は名称】 近藤 伊知良

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0106993

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体光素子、半導体レーザ素子、半導体光変調素子、及び半導体光集積素子

【特許請求の範囲】

【請求項 1】 主面を有する半導体基板と、  
前記半導体基板の前記主面上に設けられ、活性層を含むストライプ状の光導波路と、

前記光導波路を埋め込んでおり、前記半導体基板の前記主面に交差する方向に順に前記半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、

前記電流ブロック部の前記第 2 の部分に設けられたトレンチ溝と  
を備える、半導体光素子。

【請求項 2】 前記電流ブロック部は、Fe が添加された InP 半導体からなるブロック半導体層を有する請求項 1 に記載の半導体光素子。

【請求項 3】 前記ブロック半導体層の厚さが  $1\ \mu\text{m}$  以上である請求項 2 に記載の半導体光素子。

【請求項 4】 前記電流ブロック部は、n 型 InP 半導体からなるホールブロック層をさらに有する請求項 2 または 3 に記載の半導体光素子。

【請求項 5】 前記ブロック半導体層の Fe 濃度は  $5 \times 10^{15}\ \text{cm}^{-3}$  以上である請求項 2 ～ 4 のいずれか一項に記載の半導体光素子。

【請求項 6】 前記ブロック半導体層の Fe 濃度は  $5 \times 10^{16}\ \text{cm}^{-3}$  以下である請求項 2 ～ 5 のいずれか一項に記載の半導体光素子。

【請求項 7】 前記トレンチ溝の表面に設けられた絶縁膜をさらに備える請求項 1 ～ 6 のいずれか 1 項に記載の半導体光素子。

【請求項 8】 前記絶縁膜は、絶縁性シリコン化合物からなる請求項 7 に記載の半導体光素子。

【請求項 9】 主面を有する半導体基板と、  
前記半導体基板の前記主面上に設けられたストライプ状の光導波路と、  
前記光導波路を埋め込んで前記光導波路に電流を集中させるように設けられ、

前記半導体基板の前記主面に交差する方向に順に前記半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、

前記電流ブロック部の前記第 2 の部分に設けられたトレンチ溝とを備え、

前記光導波路は、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、

前記活性層は、前記第 1 導電型半導体層及び前記第 2 導電型半導体層の間に設けられ、前記第 1 導電型半導体層及び前記第 2 導電型半導体層からキャリアが注入されることにより光が発生する、半導体レーザ素子。

【請求項 1 0】 主面を有する半導体基板と、

前記半導体基板の前記主面上に設けられたストライプ状の光導波路と、

前記光導波路を埋め込んでおり、前記半導体基板の前記主面に交差する方向に順に前記半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、

前記電流ブロック部の前記第 2 の部分に設けられたトレンチ溝とを備え、

前記光導波路は、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、

前記活性層は、前記第 1 導電型半導体層及び前記第 2 導電型半導体層の間に設けられ、前記第 1 導電型半導体層及び前記第 2 導電型半導体層の間に印加される電気信号に応じて光を吸収する、半導体光変調素子。

【請求項 1 1】 主面を有する半導体基板を備え、前記主面は、所定の軸方向に配列されたレーザ素子領域及び光変調素子領域を有しており、

当該半導体光集積素子は、

前記レーザ素子領域上に前記所定の軸方向を長手方向として設けられたストライプ状の第 1 の光導波路と、

前記光変調素子領域上に前記所定の軸方向を長手方向として設けられたストライプ状の第 2 の光導波路と、

前記第 1 の光導波路及び前記第 2 の光導波路を埋め込んでおり、前記半導体基

板の前記主面に交差する方向に順に前記半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、

前記電流ブロック部の前記第 2 の部分に設けられたトレンチ溝とを備え、

前記第 1 の光導波路は、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、

前記活性層は、前記第 1 導電型半導体層及び前記第 2 導電型半導体層の間に設けられ、前記第 1 導電型半導体層及び前記第 2 導電型半導体層からキャリアが注入されることにより光が発生し、

前記第 2 の光導波路は、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、

前記活性層は、前記第 1 導電型半導体層及び前記第 2 導電型半導体層の間に設けられ、前記第 1 導電型半導体層及び前記第 2 導電型半導体層の間に印加される電気信号に応じて光を吸収する、半導体光集積素子。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体光素子、半導体レーザ素子、半導体光変調素子、及び半導体光集積素子に関する。

##### 【0002】

#### 【従来の技術】

近年、長距離大容量通信用として、高速変調された光信号を発生できる半導体レーザ素子といった半導体光素子が必要とされている。図 11 は、従来の半導体レーザ素子の一例を示す断面図である。この半導体レーザ素子 900 では、n 型半導体基板 902 上に n 型バッファ層 903 が設けられる。n 型バッファ層 903 上に第 1 の p 型クラッド層 910 が設けられる。そして、n 型バッファ層 903 と第 1 の p 型クラッド層 910 との間に、活性層 909 が設けられる。こうして、n 型バッファ層 903、第 1 の p 型クラッド層 910、及び活性層 909 によって半導体導波路部 912 が構成される。また、半導体レーザ素子 900 は、

活性層 9 0 9 に流す電流を狭窄するための高抵抗層 9 0 4 を備えている。高抵抗層 9 0 4 上には、高抵抗層 9 0 4 を通過しようとする正孔を阻止するための n 型ホールブロック層 9 0 5 が設けられる。第 1 の p 型クラッド層 9 1 0 上及び n 型ホールブロック層 9 0 5 上には、第 2 の p 型クラッド層 9 0 6 及びコンタクト層 9 0 7 が設けられる。コンタクト層 9 0 7 上には、アノード電極 9 1 1 が設けられる。また、n 型半導体基板 9 0 2 の裏面には、カソード電極 9 0 1 が設けられる。

#### 【0 0 0 3】

この半導体レーザ素子 9 0 0 は、第 2 の p 型クラッド層 9 0 6 と n 型ホールブロック層 9 0 5 とが p n 接合を構成する。この p n 接合には寄生容量が生じ、半導体レーザ素子 9 0 0 を高速に駆動する際に信号波形が歪むなどの影響を生じる。この寄生容量を低減するために、半導体光素子 9 0 0 には一对のトレンチ溝 9 1 3 a 及び 9 1 3 b が形成されている。トレンチ溝 9 1 3 a 及び 9 1 3 b は、高抵抗層 9 0 4、n 型ホールブロック層 9 0 5、第 2 の p 型クラッド層 9 0 6、及びコンタクト層 9 0 7 を分断してバッファ層 9 0 3 に達している。あるいは、トレンチ溝 9 1 3 a 及び 9 1 3 b は n 型半導体基板 9 0 2 に達する。トレンチ溝 9 1 3 a 及び 9 1 3 b によって接合部分が減るので、寄生容量が低減される。また、高抵抗層 9 0 4 と第 2 の p 型クラッド層 9 0 6 との接合部分が小さくなることにより、高抵抗層 9 0 4 を通過する漏れ電流が低減される。トレンチ溝 9 1 3 a 及び 9 1 3 b の表面には絶縁膜 9 0 8 が形成される。

#### 【0 0 0 4】

上記した構成と類似の構成を有する半導体レーザ素子としては、以下に示す特許文献 1 に開示されたものがある。また、トレンチ溝を備えないが、p 型クラッド層と n 型バッファ層との間に高抵抗層を備える半導体レーザ素子として、特許文献 2 に開示されたものがある。

#### 【0 0 0 5】

##### 【特許文献 1】

特開平 8 - 1 6 2 7 0 1 号公報

##### 【特許文献 2】



特開平 9 - 4 3 5 5 5 号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

発明者は半導体レーザ素子 9 0 0 といった半導体光素子をより高効率かつ高速に駆動することを検討している。そして、次の課題を見い出した。すなわち、トレンチ溝 9 1 3 a 及び 9 1 3 b の表面、つまり絶縁膜 9 0 8 と半導体領域との間に電流経路が形成されてしまう。そして、この電流経路を通じて第 2 の p 型クラッド層 9 0 6 と n 型バッファ層 9 0 3 との間にリーク電流が流れてしまい、高抵抗層 9 0 4 によって駆動電流を効果的に狭窄することができない。このため、従来の半導体光素子では駆動電流を効率よく活性層 9 0 9 へ流すことができない。

【 0 0 0 7 】

本発明は、駆動電流を効果的に狭窄できる構造を有する半導体光素子、半導体レーザ素子、半導体光変調素子、及び半導体光集積素子を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

本発明による半導体光素子は、主面を有する半導体基板と、半導体基板の主面上に設けられ、活性層を含むストライプ状の光導波路と、光導波路を埋め込んでおり、半導体基板の主面に交差する方向に順に半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、電流ブロック部の第 2 の部分に設けられたトレンチ溝とを備える。

【 0 0 0 9 】

上記した半導体光素子は、トレンチ溝が電流ブロック部の第 2 の部分に設けられることによって、光導波路とは別個の電流経路がトレンチ溝の側面に形成されないので、光導波路を通らないリーク電流を防ぎ、効果的に駆動電流を狭窄できる。

【 0 0 1 0 】

また、半導体光素子は、電流ブロック部が、Fe が添加された InP 半導体からなるブロック半導体層を有することを特徴としてもよい。これによって、高抵

抗なブロック半導体層が形成されるので、電流ブロック部は駆動電流を好適に狭窄できる。

【0011】

また、半導体光素子は、ブロック半導体層の厚さが $1\mu\text{m}$ 以上であることを特徴としてもよい。これによって、電流ブロック部はブレイクダウンすることなく駆動電流を狭窄できる。

【0012】

また、半導体光素子は、電流ブロック部が、 $n$ 型 $\text{InP}$ 半導体からなるホールブロック層をさらに有することを特徴としてもよい。これによって、ブロック半導体層を通過しようとするキャリアを遮ることができるので、電流ブロック部は駆動電流をさらに効率よく狭窄できる。

【0013】

また、半導体光素子は、ブロック半導体層の $\text{Fe}$ 濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以上であるとよい。これによって、電流ブロック部はブレイクダウンすることなく駆動電流を狭窄できる。また、半導体光素子は、ブロック半導体層の $\text{Fe}$ 濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 以下であるとよい。これによって、ブロック半導体層に添加されている $\text{Fe}$ が他の層に拡散することなく、信頼性の高い半導体光素子を提供できる。

【0014】

また、半導体光素子は、トレンチ溝の表面に設けられた絶縁膜をさらに備えることを特徴としてもよい。これによって、トレンチ溝が設けられる層を保護することができる。また、この絶縁膜は、絶縁性シリコン化合物からなるとよい。

【0015】

また、本発明による半導体レーザ素子は、主面を有する半導体基板と、半導体基板の主面上に設けられたストライプ状の光導波路と、光導波路を埋め込んで光導波路に電流を集中させるように設けられ、半導体基板の主面に交差する方向に順に半導体基板上に配置された第1及び第2の部分有する電流ブロック部と、電流ブロック部の第2の部分に設けられたトレンチ溝とを備え、光導波路が、第1導電型半導体層と、第2導電型半導体層と、活性層とを有しており、活性層が

、第 1 導電型半導体層及び第 2 導電型半導体層の間に設けられ、第 1 導電型半導体層及び第 2 導電型半導体層からキャリアが注入されることにより光が発生することを特徴とする。これによって、駆動電流を効率良く光に変換できる半導体レーザ素子を提供できる。

## 【 0 0 1 6 】

また、本発明による半導体光変調素子は、主面を有する半導体基板と、半導体基板の主面上に設けられたストライプ状の光導波路と、光導波路を埋め込んでおり、半導体基板の主面に交差する方向に順に半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、電流ブロック部の第 2 の部分に設けられたトレンチ溝とを備え、光導波路が、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、活性層が、第 1 導電型半導体層及び第 2 導電型半導体層の間に設けられ、第 1 導電型半導体層及び第 2 導電型半導体層の間に印加される電気信号に応じて光を吸収することを特徴とする。これによって、光を高速に変調できる半導体光変調素子を提供できる。

## 【 0 0 1 7 】

また、本発明による半導体光集積素子は、主面を有する半導体基板を備え、主面は、所定の軸方向に配列されたレーザ素子領域及び光変調素子領域を有しており、当該半導体光集積素子は、レーザ素子領域上に所定の軸方向を長手方向として設けられたストライプ状の第 1 の光導波路と、光変調素子領域上に所定の軸方向を長手方向として設けられたストライプ状の第 2 の光導波路と、第 1 の光導波路及び第 2 の光導波路を埋め込んでおり、半導体基板の主面に交差する方向に順に半導体基板上に配置された第 1 及び第 2 の部分を有する電流ブロック部と、電流ブロック部の第 2 の部分に設けられたトレンチ溝とを備え、第 1 の光導波路が、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、活性層が、第 1 導電型半導体層及び第 2 導電型半導体層の間に設けられ、第 1 導電型半導体層及び第 2 導電型半導体層からキャリアが注入されることにより光が発生し、第 2 の光導波路が、第 1 導電型半導体層と、第 2 導電型半導体層と、活性層とを有しており、活性層が、第 1 導電型半導体層及び第 2 導電型半導体層の間に設けられ、第 1 導電型半導体層及び第 2 導電型半導体層の間に印加される電気信

号に応じて光を吸収することを特徴とする。これによって、駆動電流を効率良く光に変換でき、変換された光を高速に変調できる半導体光集積素子を提供できる。

# 【 0 0 1 8 】

## 【発明の実施の形態】

以下、図面とともに本発明による半導体光素子の好適な実施形態について詳細に説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

# 【 0 0 1 9 】

## （第 1 の実施の形態）

図 1 は、本発明による半導体光集積素子の第 1 実施形態を示す斜視図である。本発明による半導体光集積素子は、2つの半導体光素子、すなわち半導体レーザー素子及び半導体光変調素子を含んでいる。これらの半導体光素子は、活性層を含む光導波路の周囲を半絶縁性半導体で埋め込んだ埋込型半導体光素子である。また、これらの半導体光素子は、基板上に一体に形成される。図 2 は、図 1 に示した半導体光集積素子 1 の基板 1 0 を示す斜視図である。図 3 は、図 1 に示した半導体光集積素子 1 の I - I 断面における側面断面図である。図 4 は、図 1 に示した半導体光集積素子 1 の II - II 断面における側面断面図である。図 5 は、図 1 に示した半導体光集積素子 1 の III - III 断面における側面断面図である。図 1 ～図 5 を参照しながら、以下に本実施形態の半導体光集積素子 1 を説明する。

# 【 0 0 2 0 】

半導体光集積素子 1 は、n 型の半導体基板である基板 1 0 を備える。図 2 を参照すると、基板 1 0 は主面 1 0 0 を有する。主面 1 0 0 は、レーザー素子領域 1 0 1 及び光変調素子領域 1 0 2 を有する。レーザー素子領域 1 0 1 及び光変調素子領域 1 0 2 は、所定の軸方向に配列される。レーザー素子領域 1 0 1 は、第 1 の領域 1 0 1 a、第 2 の領域 1 0 1 b、第 3 の領域 1 0 1 c、第 4 の領域 1 0 1 d、第 5 の領域 1 0 1 e、第 6 の領域 1 0 1 f、及び第 7 の領域 1 0 1 g を有する。第 1 の領域 1 0 1 a ～第 7 の領域 1 0 1 g は、それぞれ所定の軸方向に伸びており、所定の軸と交差する方向に順に配列される。また、光変調素子領域 1 0 2 は、

第1の領域102a、第2の領域102b、第3の領域102c、第4の領域102d、第5の領域102e、第6の領域102f、及び第7の領域102gを有する。第1の領域102a～第7の領域102gは、それぞれ所定の軸方向に伸びており、所定の軸と交差する方向に順に配列される。

#### 【0021】

半導体光集積素子1は、レーザ素子領域101上に設けられた半導体レーザ素子部1aと、光変調素子領域102上に設けられた半導体光変調素子1bとを有する。まず、半導体レーザ素子部1aについて説明する。

#### 【0022】

図3を参照すると、半導体レーザ素子部1aは、カソード電極12、n型バッファ層13といった第1導電型半導体層、第1のp型クラッド層31といった第2導電型半導体層、活性層33、第2のp型クラッド層19、電流ブロック部37、コンタクト層21、絶縁膜24、及びアノード電極26を備える。電流ブロック部37は、高抵抗層15及びホールブロック層17を有する。

#### 【0023】

これらの構成のうち、n型バッファ層13、第1のp型クラッド層31、第2のp型クラッド層19、電流ブロック部37、及びコンタクト層21は、基板10のレーザ素子領域101上に設けられる。

#### 【0024】

n型バッファ層13は、n型InP半導体からなる。n型バッファ層13は、第1の部分13aと第2の部分13bとを有する。第1の部分13aは、主面100のレーザ素子領域101の全域上に設けられる。第2の部分13bは、第1の部分13a上であり且つレーザ素子領域101の第4の領域101d上に設けられる。

#### 【0025】

活性層33は、ノンドープInGaAsPからなる。活性層33は、n型バッファ層13の第2の部分13b上に設けられる。また、第1のp型クラッド層31は、活性層33上に設けられる。換言すれば、活性層33はn型バッファ層13と第1のp型クラッド層31との間に設けられる。第1のp型クラッド層31

は、p 型 I n P 半導体からなる。活性層 3 3、n 型バッファ層 1 3、及び第 1 の p 型クラッド層 3 1 はダブルヘテロ構造を構成しており、活性層 3 3 にキャリアが閉じ込められるように構成されている。n 型バッファ層 1 3 及び第 1 の p 型クラッド層 3 1 から活性層 3 3 へキャリアが注入されることにより光が発生する。また、活性層 3 3 の屈折率が n 型バッファ層 1 3 及び p 型クラッド層 3 1 の屈折率よりも大きくなるよう各層の材料が選択される。これにより活性層 3 3 内部に光が閉じ込められ、光を導波する構成となる。

## 【 0 0 2 6 】

光導波路 3 5 は、n 型バッファ層 1 3、活性層 3 3、及び第 1 の p 型クラッド層 3 1 を含んでおり、メサ状といった形状に構成される。光導波路 3 3 は、活性層 3 3 に光学的に結合された周期的な回折格子であるグレーティング構造 3 3 1 (図 5 に示す) を有している。また、光導波路 3 5 は、所定の軸方向を長手方向とするストライプ状に設けられる。活性層 3 3 及び第 1 の p 型クラッド層 3 1 は、n 型バッファ層 1 3 の第 2 の部分 1 3 b と同様に、主面 1 0 0 上のレーザ素子領域 1 0 1 の第 4 の領域 1 0 1 d 上に設けられており、所定の軸方向に伸びている。

## 【 0 0 2 7 】

電流ブロック部 3 7 は、メサ状に設けられた光導波路 3 5 に駆動電流を集中させるための要素である。電流ブロック部 3 7 は、高抵抗層 1 5 及びホールブロック層 1 7 を有する。高抵抗層 1 5 の抵抗値は、ホールブロック層の抵抗値よりも大きい。また、電流ブロック部 3 7 は、高抵抗層 1 5 内に第 1 の部分 1 5 a 及び第 2 の部分 1 5 b を有する。

## 【 0 0 2 8 】

高抵抗層 1 5 は、F e をドーブされた I n P 半導体からなる半絶縁性半導体層である。高抵抗層 1 5 は、光導波路 3 5 を埋め込んでおり、光導波路 3 5 に流れる駆動電流を集中するよう設けられる。また、高抵抗層 1 5 の第 1 の部分 1 5 a 及び第 2 の部分 1 5 b は、半導体基板 1 0 の主面 1 0 0 に交差する方向に順に配置される。すなわち、第 1 の部分 1 5 a は、n 型バッファ層 1 3 上であり且つ主面 1 0 0 のレーザ素子領域 1 0 1 の第 1 の領域 1 0 1 a ~ 第 3 の領域 1 0 1 c 上

及び第5の領域101e～第7の領域101g上に設けられる。第2の部分15bは、第1の部分15a上であり且つレーザ素子領域101の第1の領域101a上、第3の領域101c上、第5の領域101e上、及び第7の領域101g上のそれぞれに設けられる。なお、高抵抗層15は、例えば抵抗率が $10 \times 10^5$  [ $\Omega \cdot m$ ] 以上といった半絶縁性を有する。

## 【0029】

ホールブロック層17は、高抵抗層15の第2の部分15b上に設けられる。ホールブロック層17は、第2のp型クラッド層19とは逆導電型の半導体であるn型InP半導体からなる。また、ホールブロック層17は、第1のp型クラッド層31と接しないように設けられる。ホールブロック層17は、主面100からの高さが第1のp型クラッド層31の主面100からの高さと同程度となるように設けられる。

## 【0030】

第2のp型クラッド層19は、p型InP半導体からなる。第2のp型クラッド層19は、第1のp型クラッド層31上及びホールブロック層17上に設けられる。コンタクト層21は、p型GaInAs半導体からなる。コンタクト層21は、第2のp型クラッド層19上に設けられる。

## 【0031】

半導体レーザ素子部1aは、所定の軸方向に伸びる2つのトレンチ溝29を備える。2つのトレンチ溝29のうち的一方は、主面100のレーザ素子領域101の第2の領域101b上に位置している。2つのトレンチ溝29のうち他方は、レーザ素子領域101の第6の領域101f上に位置している。トレンチ溝29の底部は、高抵抗層15の第2の部分15bに設けられる。すなわち、トレンチ溝29は、その底面が高抵抗層15に接するように形成される。トレンチ溝29の側面は、高抵抗層15の第2の部分15b、ホールブロック層17、第2のp型クラッド層19、及びコンタクト層21によって形成される。

## 【0032】

また、半導体レーザ素子部1aは、絶縁膜24、アノード電極26、及びカソード電極12をさらに備える。絶縁膜24は、 $SiO_2$  からなる。絶縁膜24は

、コンタクト層 2 1 のうち第 4 の領域 1 0 1 d 上に設けられる部分の表面に開口を有している。絶縁膜 2 4 は、トレンチ溝 2 9 の底面及び側面に設けられる。

#### 【 0 0 3 3 】

アノード電極 2 6 は、第 1 の部分 2 6 a、第 2 の部分 2 6 b、及び第 3 の部分 2 6 c を有する。第 1 の部分 2 6 a は、レーザ素子領域 1 0 1 の第 4 の領域 1 0 1 d 上且つ絶縁膜 2 4 上に設けられており、絶縁膜 2 4 の開口を介してコンタクト層 2 1 に接している。第 3 の部分 2 6 c は、レーザ素子領域 1 0 1 の第 1 の領域 1 0 1 d 上且つ絶縁膜 2 4 上に設けられる。第 2 の部分 2 6 b は、第 1 の部分 2 6 a と第 3 の部分 2 6 c とを互いに繋ぐように絶縁膜 2 4 上に設けられる。また、カソード電極 1 2 は、基板 1 0 の主面 1 0 0 とは反対側の面上に設けられる。

#### 【 0 0 3 4 】

図 6 ( a ) は、半導体レーザ素子部 1 a 内部における駆動電流の流れを示す図である。図 6 ( a ) を参照して、半導体レーザ素子部 1 a の動作について説明する。

#### 【 0 0 3 5 】

カソード電極 1 2 とアノード電極 2 6 との間に駆動装置が接続される。アノード電極 2 6 に正の駆動電圧が印加されて駆動電流  $I_1$  が提供される。駆動電流  $I_1$  は、コンタクト層 2 1 及び第 2 の p 型クラッド層 1 9 を介して光導波路 3 5 に提供される。

#### 【 0 0 3 6 】

このとき、駆動電流  $I_1$  の一部である駆動電流  $I_2$  は、コンタクト層 2 1 及び第 2 の p 型クラッド層 1 9 内部において拡がり、第 2 の p 型クラッド層 1 9 内部のトレンチ溝 2 9 側面付近を流れる。駆動電流  $I_2$  は電流ブロック部 3 7 の高抵抗層 1 5 によって狭窄され、図 6 ( a ) に示すように光導波路 3 5 へ集中する。また、電流ブロック部 3 7 内部にホールブロック層 1 7 が存在することによって、正孔が第 2 の p 型クラッド層 1 9 から高抵抗層 1 5 を通過して n 型バッファ層 1 3 へ移動することを防いでいる。こうして、駆動電流が流れる経路を電流ブロック部 3 7 によって効果的に狭窄し、駆動電流を光導波路 3 5 へ集中している。



## 【 0 0 3 7 】

光導波路 3 5 は、既に述べたとおり第 1 の p 型クラッド層 3 1、活性層 3 3、及び n 型バッファ層 1 3 の第 2 の部分 1 3 b を有する。光導波路 3 5 に駆動電流が提供されることにより、第 1 の p 型クラッド層 3 1 及び n 型バッファ層 1 3 それぞれから活性層 3 3 へキャリアが流れる。キャリアは活性層 3 3 内部に閉じこめられ、活性層 3 3 内部において光が発生する。光導波路 3 5 が活性層 3 3 と光学的に結合されたグレーティング構造 3 3 1 を有することによって、特定波長のレーザ光が活性層 3 3 から所定の軸方向に出射される。

## 【 0 0 3 8 】

本実施形態による半導体光集積素子 1 の半導体レーザ素子部 1 a が有する効果について説明する。半導体レーザ素子部 1 a は、第 2 の p 型クラッド層 1 9 から光導波路 3 5 へ提供される駆動電流を電流ブロック部 3 7 によって狭窄し、光導波路 3 5 へ集中させている。また、トレンチ溝 3 9 が電流ブロック部 3 7 の第 2 の部分 1 5 b に設けられることによって、電流ブロック部 3 7 と絶縁層 2 4 との間に存在する電流経路が n 型バッファ層 1 3 に達しない。

## 【 0 0 3 9 】

ここで、図 6 (b) は図 1 1 に示した従来の半導体レーザ素子内部における駆動電流の流れを示す図である。アノード電極 9 1 1 とカソード電極 9 0 1 との間に駆動装置が接続され、アノード電極 9 1 1 から駆動電流  $I_3$  が供給される。駆動電流  $I_3$  は、第 1 の p 型クラッド層 9 1 0 及び活性層 9 0 9 に提供される。このとき、駆動電流  $I_3$  の一部である駆動電流  $I_4$  は、第 2 の p 型クラッド層 9 0 6 の両側面から電流経路 A を通って n 型バッファ層 9 0 3 に達する。そして、駆動電流  $I_4$  は基板 9 0 2 を通ってカソード電極 9 0 1 に達する。このように、従来の半導体レーザ素子では電流経路 A が存在するために活性層 9 0 9 を通らない駆動電流  $I_4$ 、すなわちリーク電流が生じ、駆動電流を効果的に狭窄できない。

## 【 0 0 4 0 】

これに対し、本実施形態による半導体レーザ素子部 1 a によれば、第 2 の p 型クラッド層 1 9 の側面から n 型バッファ層 1 3 へ達するような、光導波路 3 5 とは別個の電流経路が形成されないので、第 2 の p 型クラッド層 1 9 と n 型バッ

ァ層 1 3 との間にリーク電流が流れることを防げる。よって、半導体レーザ素子部 1 a に印加される駆動電流を効果的に狭窄できる。駆動電流を光導波路 3 5 へ効率よく流すことができるので、半導体レーザ素子 1 a を高効率にできる。そして、駆動電流を効率良く光に変換できる半導体レーザ素子を提供できる。

## 【 0 0 4 1 】

また、半導体レーザ素子部 1 a では、第 2 の p 型クラッド層が第 2 の領域 1 0 1 b 上及び第 5 の領域 1 0 1 e 上に設けられていない。換言すれば、2 つのトレンチ溝 2 9 を備えることによって、第 2 の p 型クラッド層 1 9 が分離される。ここで、これらの第 2 の p 型クラッド層のうち、2 つのトレンチ溝 2 9 に挟まれた部分に駆動電流が流れる。トレンチ溝 2 9 を備えることにより、トレンチ溝 2 9 がない場合に比べ、第 2 の p 型クラッド層と n 型バッファ層 1 3 との間に生じる寄生容量を低減できる。本実施形態による半導体レーザ素子部 1 a は、トレンチ溝 2 9 を設けることによるリーク電流といった悪影響を防いでいるので、トレンチ溝 2 9 を好適に設けることができる。

## 【 0 0 4 2 】

また、半導体レーザ素子部 1 a は、電流ブロック部 3 7 がホールブロック層 1 7 を有している。これによって、高抵抗層 1 5 を通過して第 2 の p 型クラッド層 1 9 と n 型バッファ層 1 3 との間を流れようとする正孔を遮ることができるので、さらに効果的に駆動電流を狭窄できる。

## 【 0 0 4 3 】

また、半導体レーザ素子部 1 a は、絶縁膜 2 4 を備えることが好ましい。これによって、高抵抗層 1 5、ホールブロック層 1 7、第 2 の p 型クラッド層 1 9、及びコンタクト層 2 1 を保護することができる。

## 【 0 0 4 4 】

次に、半導体光変調素子部 1 b について説明する。図 4 を参照すると、半導体光変調素子部 1 b は、カソード電極 1 2、n 型バッファ層 1 4 といった第 1 導電型半導体層、第 1 の p 型クラッド層 3 2 といった第 2 導電型半導体層、光吸収層 3 4 といった活性層、第 2 の p 型クラッド層 2 0、電流ブロック部 3 8、コンタクト層 2 2、絶縁膜 2 4、及びアノード電極 2 8 を備える。電流ブロック部 3 8

は、高抵抗層 1 6 といったブロック半導体層及びホールブロック層 1 8 を有する。

#### 【 0 0 4 5 】

これらの構成のうち、n 型バッファ層 1 4、第 1 の p 型クラッド層 3 2、光吸収層 3 4、第 2 の p 型クラッド層 2 0、電流ブロック部 3 8、及びコンタクト層 2 2 は、基板 1 0 の光変調素子領域 1 0 2 上に設けられる。

#### 【 0 0 4 6 】

n 型バッファ層 1 4 は、n 型 I n P 半導体からなる。n 型バッファ層 1 4 は、第 1 の部分 1 4 a と第 2 の部分 1 4 b とを有する。第 1 の部分 1 4 a は、主面 1 0 0 の光変調素子領域 1 0 2 の全域上に設けられる。第 2 の部分 1 4 b は、第 1 の部分 1 4 a 上であり且つ光変調素子領域 1 0 2 の第 4 の領域 1 0 2 d 上に設けられる。

#### 【 0 0 4 7 】

光吸収層 3 4 は、n 型バッファ層 1 4 の第 2 の部分 1 4 b 上に設けられる。また、第 1 の p 型クラッド層 3 2 は、光吸収層 3 4 上に設けられる。換言すれば、光吸収層 3 4 は n 型バッファ層 1 4 と第 1 の p 型クラッド層 3 2 との間に設けられる。第 1 の p 型クラッド層 3 2 は、p 型 I n P 半導体からなる。光吸収層 3 4、n 型バッファ層 1 4、及び第 1 の p 型クラッド層 3 2 はダブルヘテロ構造を構成しており、光吸収層 3 4 にキャリアが閉じ込められるように構成されている。光吸収層 3 4 の屈折率が n 型バッファ層 1 4 及び p 型クラッド層 3 2 の屈折率よりも大きくなるよう各層の材料が選択される。これにより光吸収層 3 4 内部に光が閉じ込められ、光を導波する構成となる。また、光吸収層 3 4 のエネルギー帯は、半導体レーザ素子部 1 a の活性層 3 3 のエネルギー帯よりも大きい。

#### 【 0 0 4 8 】

光吸収層 3 4 は半導体レーザ素子部 1 a の活性層 3 3 に光学的に結合されており、活性層 3 3 において発生するレーザ光を受ける。光導波路 3 6 は、n 型バッファ層 1 4 の第 2 の部分 1 4 b、光吸収層 3 4、及び第 1 の p 型クラッド層 3 2 を含んでメサ状といった形状に構成される。また、光導波路 3 6 は、所定の軸方向を長手方向とするストライプ状に設けられる。光吸収層 3 4 及び第 1 の p 型ク

ラッド層 3 2 は、n 型バッファ層 1 4 の第 2 の部分 1 4 b と同様に、主面 1 0 0 上の光変調素子領域 1 0 2 の第 4 の領域 1 0 2 d 上に設けられており、所定の軸方向に伸びている。

## 【 0 0 4 9 】

電流ブロック部 3 8 は、光導波路 3 6 へ変調電圧を効果的に印加するための要素である。電流ブロック部 3 8 は、高抵抗層 1 6 及びホールブロック層 1 8 を有する。高抵抗部 1 6 の抵抗値は、ホールブロック層 1 8 の抵抗値よりも大きい。また、電流ブロック部 3 8 は、高抵抗層 1 6 内に第 1 の部分 1 6 a 及び第 2 の部分 1 6 b を有する。

## 【 0 0 5 0 】

高抵抗層 1 6 は、F e をドープされた I n P 半導体からなる。高抵抗層 1 6 は、光導波路 3 6 を埋め込んでいる。高抵抗層 1 6 の第 1 の部分 1 6 a 及び第 2 の部分 1 6 b は、半導体基板 1 0 の主面 1 0 0 に交差する方向に順に配置される。すなわち、第 1 の部分 1 6 a は、n 型バッファ層 1 4 上であり且つ主面 1 0 0 の光変調素子領域 1 0 2 の第 1 の領域 1 0 2 a ～第 3 の領域 1 0 2 c 上及び第 5 の領域 1 0 2 e ～第 7 の領域 1 0 2 g 上に設けられる。第 2 の部分 1 6 b は、第 1 の部分 1 6 a 上であり且つ光変調素子領域 1 0 2 の第 1 の領域 1 0 2 a 上、第 3 の領域 1 0 2 c 上、第 5 の領域 1 0 2 e 上、及び第 7 の領域 1 0 2 g 上のそれぞれに設けられる。

## 【 0 0 5 1 】

ホールブロック層 1 8 は、第 2 の p 型クラッド層 2 0 とは逆導電型の n 型半導体からなる。ホールブロック層 1 8 は、高抵抗層 1 6 の第 2 の部分 1 6 b 上に設けられる。ホールブロック層 1 8 は、半導体レーザ素子部 1 a のホールブロック層 1 7 と同様の機能及び構成を有する。第 2 の p 型クラッド層 2 0 は、半導体レーザ素子部 1 a の第 2 の p 型クラッド層 1 9 と同様の構成を有する。また、コンタクト層 2 2 は、半導体レーザ素子部 1 a のコンタクト層 2 1 と同様の構成を有する。よって、ホールブロック層 1 8、第 2 の p 型クラッド層 2 0、及びコンタクト層 2 2 についての詳細な説明を省略する。

## 【 0 0 5 2 】

半導体光変調素子部 1 b は、所定の軸方向に伸びる 2 つのトレンチ溝 3 0 を備える。2 つのトレンチ溝 3 0 のうち一方は、主面 1 0 0 の光変調素子領域 1 0 2 の第 2 の領域 1 0 2 b 上に位置している。2 つのトレンチ溝 3 0 のうち他方は、主面 1 0 0 の光変調素子領域 1 0 2 の第 6 の領域 1 0 2 f 上に位置している。トレンチ溝 3 0 の底部は、高抵抗層 1 6 の第 2 の部分 1 6 b に設けられる。すなわち、トレンチ溝 3 0 は、その底面が高抵抗層 1 6 に接するように形成される。トレンチ溝 3 0 の側面は、高抵抗層 1 6 の第 2 の部分 1 6 b、ホールブロック層 1 8、第 2 の p 型クラッド層 2 0、及びコンタクト層 2 2 によって形成される。2 つのトレンチ溝 3 0 のそれぞれは、半導体レーザ素子部 1 a の 2 つのトレンチ溝 2 9 のそれぞれと繋がって 2 本の溝を構成している。

## 【 0 0 5 3 】

また、半導体光変調素子部 1 b は、絶縁膜 2 4、アノード電極 2 8、及びカソード電極 1 2 をさらに備える。これらのうち、絶縁膜 2 4 及びカソード電極 1 2 は半導体レーザ素子部 1 a における絶縁膜 2 4 及びカソード電極 1 2 と共用される。

## 【 0 0 5 4 】

アノード電極 2 8 は、第 1 の部分 2 8 a、第 2 の部分 2 8 b、及び第 3 の部分 2 8 c を有する。第 1 の部分 2 8 a は、光変調素子領域 1 0 2 の第 4 の領域 1 0 2 d 上且つ絶縁膜 2 4 上に設けられており、絶縁膜 2 4 の開口を介してコンタクト層 2 2 に接している。第 3 の部分 2 8 c は、光変調素子領域 1 0 2 の第 7 の領域 1 0 2 g 上且つ絶縁膜 2 4 上に設けられる。第 2 の部分 2 8 b は、第 1 の部分 2 8 a と第 3 の部分 2 8 c とを互いに繋ぐように絶縁膜 2 4 上に設けられる。

## 【 0 0 5 5 】

以上の構成を有する半導体光変調素子部 1 b の動作について説明する。アノード電極 2 8 とカソード電極 1 2 との間に、アノード電極 2 8 側が負になるように変調電圧が印加される。この変調電圧は、半導体光集積素子 1 から外部へ出力する信号が光信号に含まれるようにレーザ光を変調する。変調電圧は、コンタクト層 2 6、及び第 2 の p 型クラッド層 2 0 を介して光導波路 3 6 に印加される。こうして、n 型バッファ層 1 4 及び第 1 の p 型クラッド層 3 2 の間に変調電圧が印

加される。このとき、電流ブロック部 3 8 によって変調電圧は光導波路 3 6 へ効果的に印加される。

【 0 0 5 6 】

光導波路 3 6 に変調電圧が印加されることにより、光吸収層 3 4 内部においてレーザ光が変調される。つまり、光吸収層 3 4 は、変調電圧による電界が印加されると量子閉じ込めシュタルク効果によって吸収波長がシフトする。これにより、光吸収層 3 4 は、変調電圧の絶対値がある所定の値以上のときは活性層 3 3 から提供されたレーザ光を吸収する。また、光吸収層 3 4 は、変調電圧の絶対値がある所定の値以下のときはレーザ光を吸収せずに、活性層 3 3 に接する面に対向する面からレーザ光を出力する。このようにして、光吸収層 3 4 は活性層 3 3 から受けたレーザ光を変調する。

【 0 0 5 7 】

本実施形態による半導体光集積素子 1 の、半導体光変調素子部 1 b が有する効果について説明する。半導体光変調素子部 1 b は、第 2 の p 型クラッド層 2 0 から光導波路 3 6 を通らずに n 型バッファ層 1 4 へ流れる電流を電流ブロック部 3 8 によって防いでいる。これによって、光導波路 3 6 へ変調電流を効果的に印加している。また、電流ブロック部 3 8 は、第 2 の領域 1 0 2 b 上及び第 6 の領域 1 0 2 f 上に設けられる第 1 の部分 1 6 a を有する。これによって、電流ブロック部 3 8 と絶縁層 2 4 との間に存在する電流経路が n 型バッファ層 1 4 へ達しないので、第 2 の p 型クラッド層 2 0 と n 型バッファ層 1 4 との間にこの電流経路を通るリーク電流が流れることを防げる。これにより、変調電圧を光導波路 3 6 へ効率よく印加することができるので、半導体光変調素子部 1 b を高効率にできる。

【 0 0 5 8 】

また、半導体光変調素子部 1 b がトレンチ溝 3 0 を備えることによって、第 2 の p 型クラッド層 2 0 と n 型バッファ層 1 4 との間に生じる寄生容量を低減できるので、半導体光変調素子部 1 b はレーザ光を高速に変調できる。

【 0 0 5 9 】

(第 2 の実施の形態)

図 7 (a) ~ 図 7 (c)、図 8 (a) 及び図 8 (b) は、第 2 実施形態による半導体光素子の製造方法を説明する図である。以下、本実施形態を第 1 実施形態による半導体レーザ素子部 1 a の製造方法を例に説明する。

#### 【0060】

図 7 (a) を参照すると、n 型 InP 半導体からなる基板 10 に、有機金属気相成長法により n 型 InP 半導体 130 (キャリア濃度  $1 \times 10^{18} \text{ cm}^{-3}$ ) を厚さ  $1 \mu\text{m}$  に積層する。その上に、発光波長  $1.3 \mu\text{m}$  のノンドープ InGaAsP 半導体 330 を有機金属気相成長法により厚さ  $0.5 \mu\text{m}$  に積層する。その上に、p 型 InP 半導体 310 (キャリア濃度  $5 \times 10^{17} \text{ cm}^{-3}$ ) を有機金属気相成長法により厚さ  $0.5 \mu\text{m}$  に積層する。

#### 【0061】

次に図 7 (b) を参照すると、通常のリソグラフィ技術を用い、第 1 の p 型クラッド層 31 の表面に SiN を厚さ  $0.1 \mu\text{m}$  に成膜して、所定の軸方向を長手方向とするマスク 45 を形成する。そして、 $2.0 \mu\text{m}$  の深さまでエッチングを行い、メサ状の光導波路 35 を形成する。このとき、第 2 の部分 13 b を含む n 型バッファ層 13、活性層 33、第 1 の p 型クラッド層 31 が形成される。

#### 【0062】

図 7 (c) を参照すると、エッチングされた部分に Fe がドーピングされて半絶縁性を有する InP 半導体 150 を有機金属気相成長法により積層する。Fe ドープ InP 半導体 150 の厚さは  $1.0 \mu\text{m}$  以上が好ましく、本実施形態では  $1.8 \mu\text{m}$  に積層している。また、Fe ドープ InP 半導体 150 の Fe 濃度は  $5 \times 10^{15} \text{ cm}^{-3}$  以上  $5 \times 10^{16} \text{ cm}^{-3}$  以下であることが好ましい。本実施形態では、Fe ドープ InP 半導体 150 の Fe 濃度を  $1 \times 10^{16} \text{ cm}^{-3}$  としている。

#### 【0063】

そして、Fe ドープ InP 半導体 150 上に、n 型 InP 半導体 170 (キャリア濃度  $1 \times 10^{18} \text{ cm}^{-3}$ ) を有機金属気相成長法により厚さ  $0.2 \mu\text{m}$  に積層する。この結果、Fe ドープ InP 半導体 150 に光導波路 35 が埋め込まれる。マスク 45 を除去した後、第 1 の p 型半導体層 31 上及び n 型 InP 半導

体 1 7 0 上に、p 型 I n P 半導体 1 9 0 ( キャリア濃度  $1 \times 10^{18} \text{ cm}^{-3}$  ) を厚さ  $1.5 \mu\text{m}$  に成長させる。その上に、p 型 G a I n A s 半導体 2 1 0 ( キャリア濃度  $5 \times 10^{18} \text{ cm}^{-3}$  ) を厚さ  $0.5 \mu\text{m}$  に成長させる。

## 【 0 0 6 4 】

図 8 ( a ) を参照すると、通常のリソグラフィー技術を用い、p 型 G a I n A s 半導体 2 1 0 の表面に S i N を厚さ  $0.1 \mu\text{m}$  に成膜することにより、所定の軸方向を長手方向とするマスク 4 7 を p 型 G a I n A s 半導体 2 1 0 の表面の中央及び両端部に形成する。そして、F e ドープ I n P 半導体 1 5 0 に達するとともに n 型バッファ層 1 3 に達しない深さまでエッチングを行い、2 つのトレンチ溝 2 9 を形成する。こうして、トレンチ溝 2 9 が設けられた高抵抗層 1 5 が形成される。また、トレンチ溝 2 9 によって分断されたホールブロック層 1 7、第 2 の p 型クラッド層 1 9、及びコンタクト層 2 1 が形成される。高抵抗層 1 5 及びホールブロック層 1 7 が形成されることにより、電流ブロック部 3 7 が設けられる。

## 【 0 0 6 5 】

図 8 ( b ) を参照すると、マスク 4 7 を除去した後、トレンチ溝 2 9 の表面に絶縁膜 2 4 を成膜する。絶縁膜 2 4 は S i O <sub>2</sub> といった絶縁性シリコン化合物からなり、厚さ  $0.3 \mu\text{m}$  に成膜される。そして、絶縁膜 2 4 上にアノード電極 2 6 を形成し、基板 3 の主面 1 0 0 とは反対側の面にカソード電極 1 2 を形成する。こうして、半導体光素子が完成される。

## 【 0 0 6 6 】

図 9 は、本実施形態による半導体レーザ素子部 1 a の特性と、図 1 1 に示した従来の半導体光素子の特性との比較を示すグラフである。図 9 は、縦軸に閾値電流、横軸に温度を示している。また、グラフ A は本実施形態による半導体レーザ素子部 1 a を、グラフ B は従来の半導体光素子を表す。

## 【 0 0 6 7 】

また、下の表 1 は図 9 に示したグラフの具体的数値を示す表である。

## 【 0 0 6 8 】



【表 1】

温度(°C)	閾値電流(mA)	
	本実施例	従来例
25	7.1	8.1
50	9.8	13.1
75	16	24.2
85	21.4	33

## 【0069】

図 9 及び表 1 を参照すると、本実施形態による半導体レーザ素子部 1 a の閾値電流は、すべての温度において従来の半導体光素子の閾値電流よりも小さいことがわかる。このように本実施形態によれば、半導体光素子の閾値電流を低減し、高効率にできる。特に、温度が高い場合にはその効果が大きい。すなわち、上記した実施形態による半導体光素子は、高温でのリーク電流の低減に特に有効である。

## 【0070】

半導体光素子は、本実施形態のように絶縁膜が例えば  $\text{SiO}_2$  といった絶縁性シリコン化合物からなるとよい。これによって、Fe を添加された InP 半導体からなる高抵抗層 1 5 と絶縁膜との間での界面準位形成を抑えることができ、保護膜として有効である。

## 【0071】

また、本実施形態による半導体光素子は、電流ブロック部 3 7 が、Fe を添加された InP 半導体からなる高抵抗層 1 5 を有する。半導体光素子はこのような高抵抗層を有することが好ましく、これによって、電流ブロック部は駆動電流を好適に狭窄できる。

## 【 0 0 7 2 】

また、半導体光素子は、本実施形態のように高抵抗層 1 5 の厚さが  $1 \mu\text{m}$  以上であることが好ましい。これによって、電流ブロック部 3 7 はブレイクダウンすることなく安定して n 型バッファ層 1 3 と第 2 の p 型クラッド層 1 9 とを分離できるので、安定して駆動電流を狭窄できる。

## 【 0 0 7 3 】

また、半導体光素子は、本実施形態のように高抵抗層 1 5 の Fe 濃度が  $5 \times 10^{15} \text{cm}^{-3}$  以上であるとよい。これによって、高抵抗層 1 5 はブレイクダウンすることなく安定して n 型バッファ層 1 3 と第 2 の p 型クラッド層 1 9 とを分離でき、安定して駆動電流を狭窄できる。また、高抵抗層 1 5 の Fe 濃度は  $5 \times 10^{16} \text{cm}^{-3}$  以下であるとよい。これによって、高抵抗層 1 5 に添加されている Fe が他の層に拡散することなく、半導体光素子の信頼性を高めることができる。

## 【 0 0 7 4 】

図 1 0 ( a ) 及び図 1 0 ( b ) は、本実施形態による半導体光素子の逆方向耐圧を示すグラフである。図 1 0 ( a ) は、高抵抗層 1 5 の Fe 濃度を  $5 \times 10^{15} \text{cm}^{-3}$  としている。高抵抗層 1 5 の厚さは  $1.5 \mu\text{m}$  である。図 1 0 ( b ) は、高抵抗層 1 5 の Fe 濃度を  $1 \times 10^{16} \text{cm}^{-3}$  としている。高抵抗層 1 5 の厚さは  $1.0 \mu\text{m}$  である。図 1 0 ( a ) 、図 1 0 ( b ) とともに縦軸に電流、横軸に電圧を示している。なお、温度はともに  $85^\circ\text{C}$  である。

## 【 0 0 7 5 】

図 1 0 ( a ) 及び図 1 0 ( b ) によると、高抵抗層 1 5 の厚さを  $1.5 \mu\text{m}$  にすると Fe 濃度が  $5 \times 10^{15} \text{cm}^{-3}$  以上であれば逆方向耐圧、すなわちブレイクダウン電圧を充分大きくできることがわかる。あるいは Fe 濃度を  $1 \times 10^{16} \text{cm}^{-3}$  に上げると、厚さ  $1 \mu\text{m}$  以上であればブレイクダウン電圧を充分大きくできることがわかる。また、 $85^\circ\text{C}$  といった高温時においても、リーク電流を効果的に低減できていることがわかる。

## 【 0 0 7 6 】

本発明による半導体光素子、半導体レーザ素子、半導体光変調素子、及び半導

体光集積素子は、上記した実施形態に限られるものではなく、様々な変形が可能である。例えば、上記した各実施形態では InP を基板とする InGaAsP 系の半導体光素子を説明したが、他の材料を用いる半導体光素子においても上記した各実施形態と同様の効果が得られる。

#### 【0077】

#### 【発明の効果】

本発明による半導体光素子、半導体レーザ素子、半導体光変調素子、及び半導体光集積素子によれば、光導波路を通らないリーク電流を低減できる構造を提供できる。

#### 【図面の簡単な説明】

#### 【図1】

図1は、本発明による半導体光集積素子の第1実施形態を示す斜視図である。

#### 【図2】

図2は、図1に示した半導体光集積素子の基板を示す斜視図である。

#### 【図3】

図3は、図1に示した半導体光集積素子のI-I断面における側面断面図である。

#### 【図4】

図4は、図1に示した半導体光集積素子のII-II断面における側面断面図である。

#### 【図5】

図5は、図1に示した半導体光集積素子のIII-III断面における側面断面図である。

#### 【図6】

図6(a)は、半導体レーザ素子部内部における駆動電流の流れを示す図である。図6(b)は図11に示す従来の半導体レーザ素子内部における駆動電流の流れを示す図である。

#### 【図7】

図7(a)～図7(c)は、第2実施形態による半導体光素子の製造方法を説

明する図である。

【図 8】

図 8 (a) 及び図 8 (b) は、第 2 実施形態による半導体光素子の製造方法を説明する図である。

【図 9】

図 9 は、第 2 実施形態による半導体レーザ素子の特性と、従来の半導体光素子の特性との比較を示すグラフである。

【図 1 0】

図 1 0 (a) 及び図 1 9 (b) は、第 2 実施形態による半導体光素子の逆方向耐圧を示すグラフである。

【図 1 1】

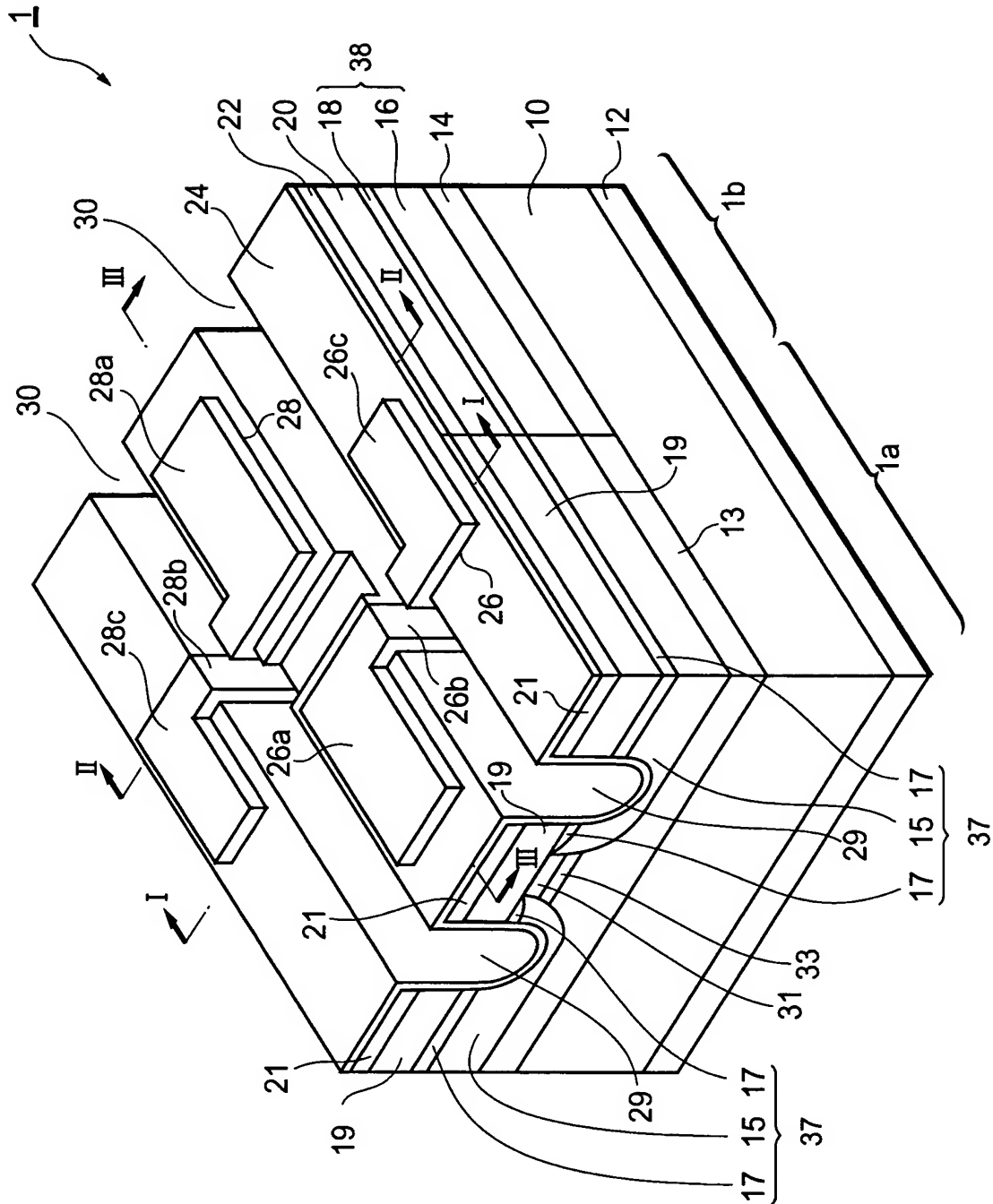
図 1 1 は、従来の半導体レーザ素子の一例を示す断面図である。

【符号の説明】

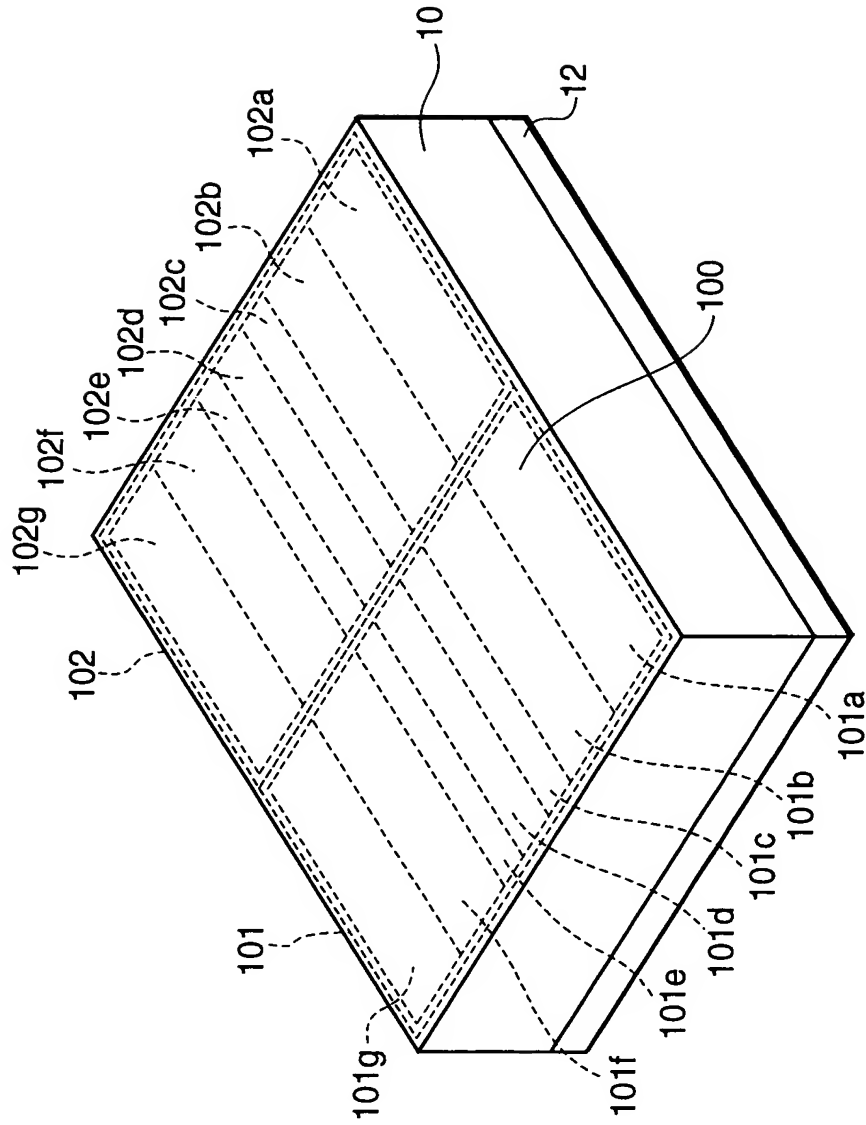
1 …半導体光集積素子、1 a …半導体レーザ素子部、1 b …半導体光変調素子部、1 0 …基板、1 2 …カソード電極、1 3、1 4 …n 型バッファ層、1 5、1 6 …高抵抗層、1 7、1 8 …ホールブロック層、1 9、2 0 …第 2 の p 型クラッド層、2 1、2 2 …コンタクト層、2 4 …絶縁膜、2 6、2 8 …アノード電極、3 1、3 2 …第 1 の p 型クラッド層、3 3 …活性層、3 4 …光吸収層、3 5、3 6 …光導波路、3 7、3 8 …電流ブロック部。

【書類名】 図面

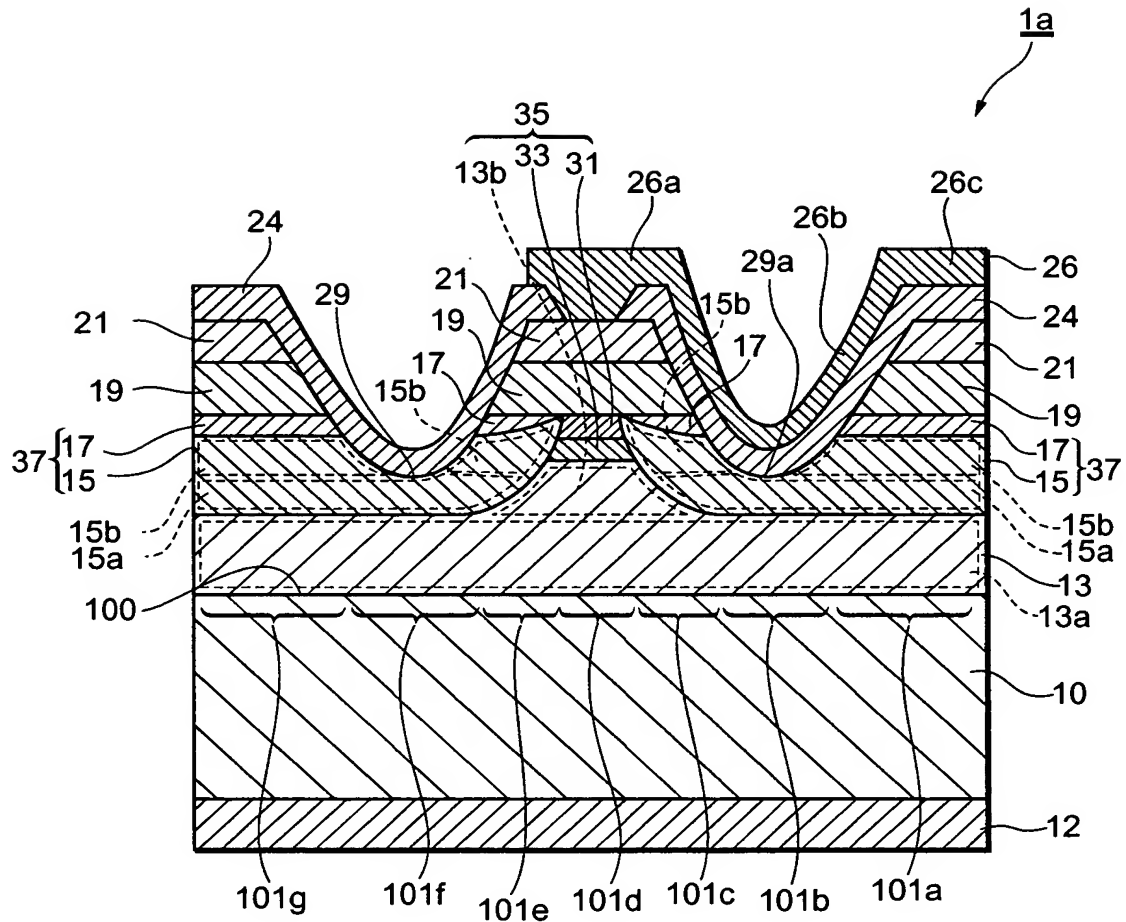
【図 1】



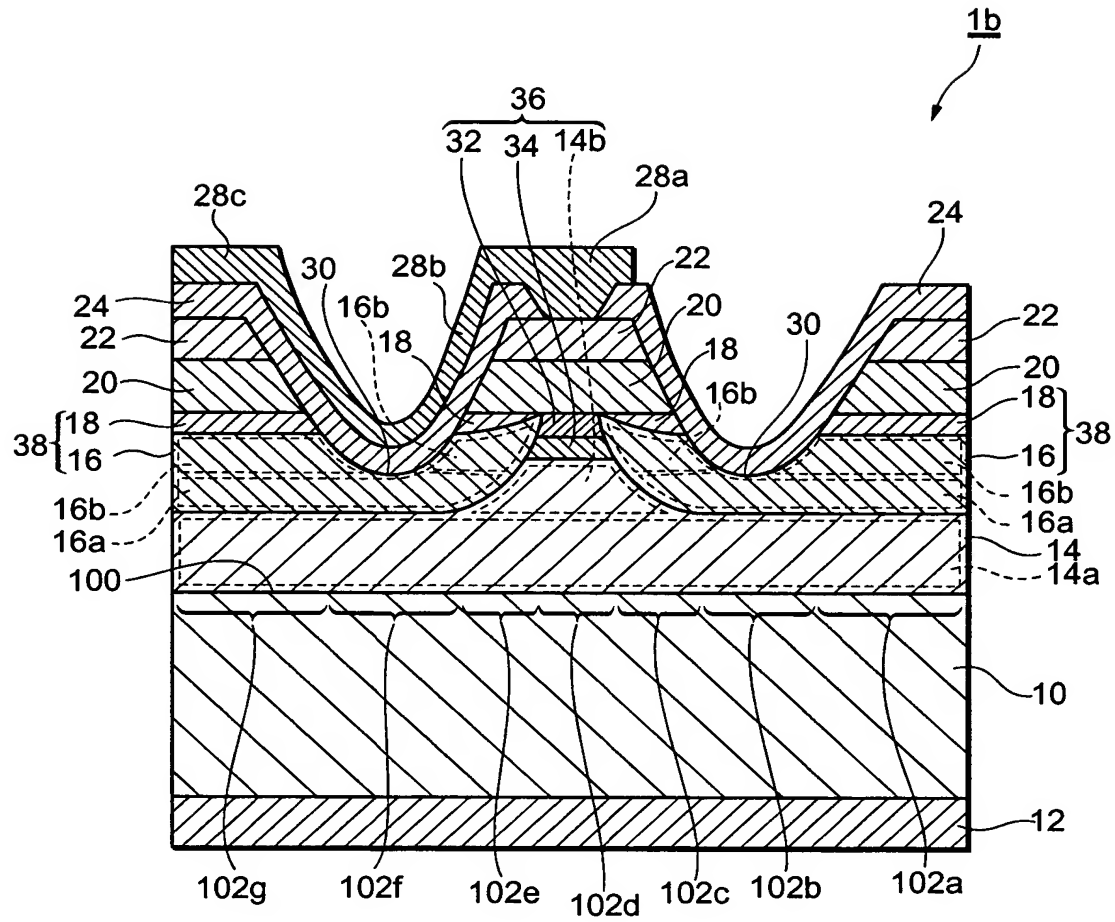
【図 2】



【図 3】

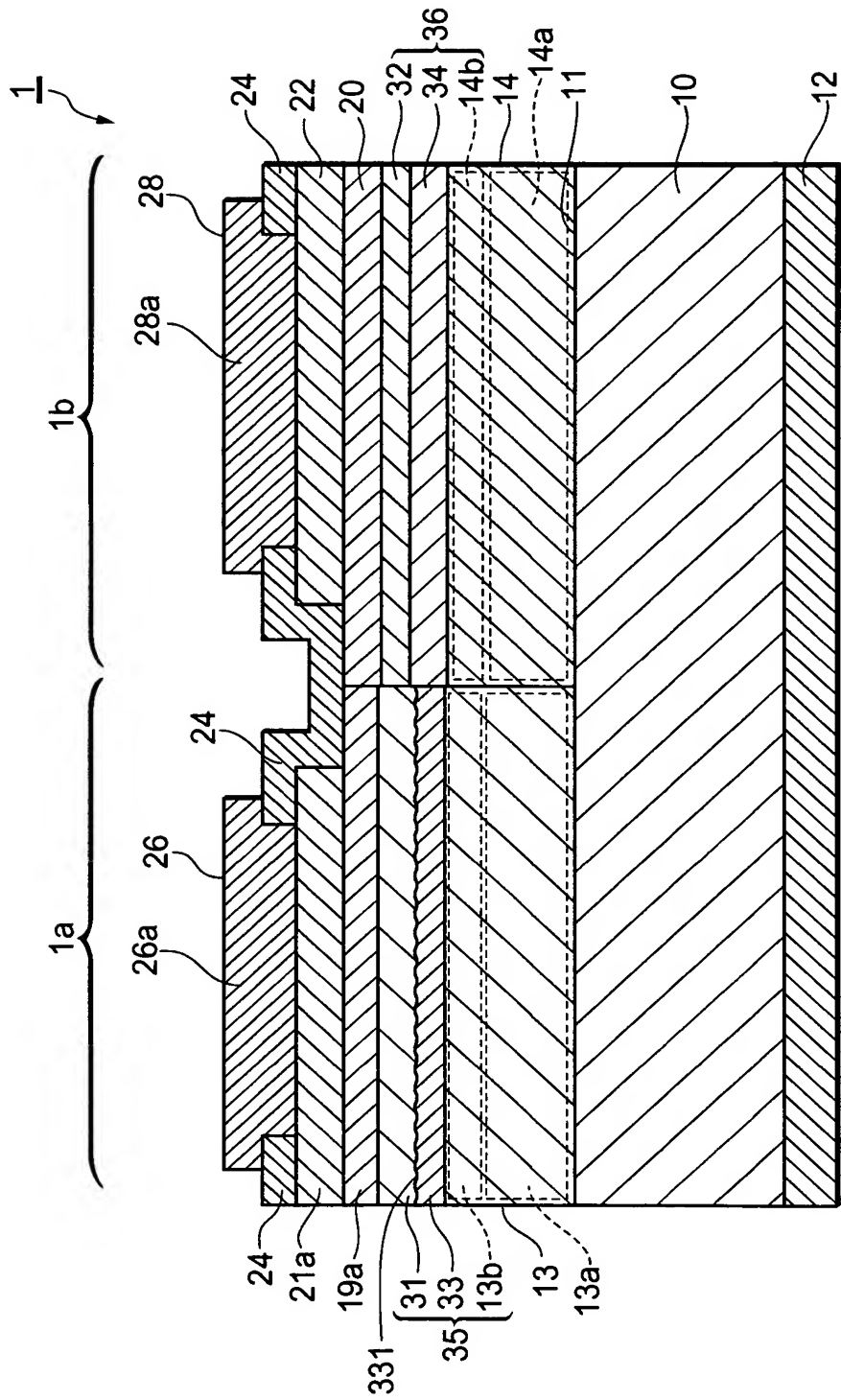


【図 4】

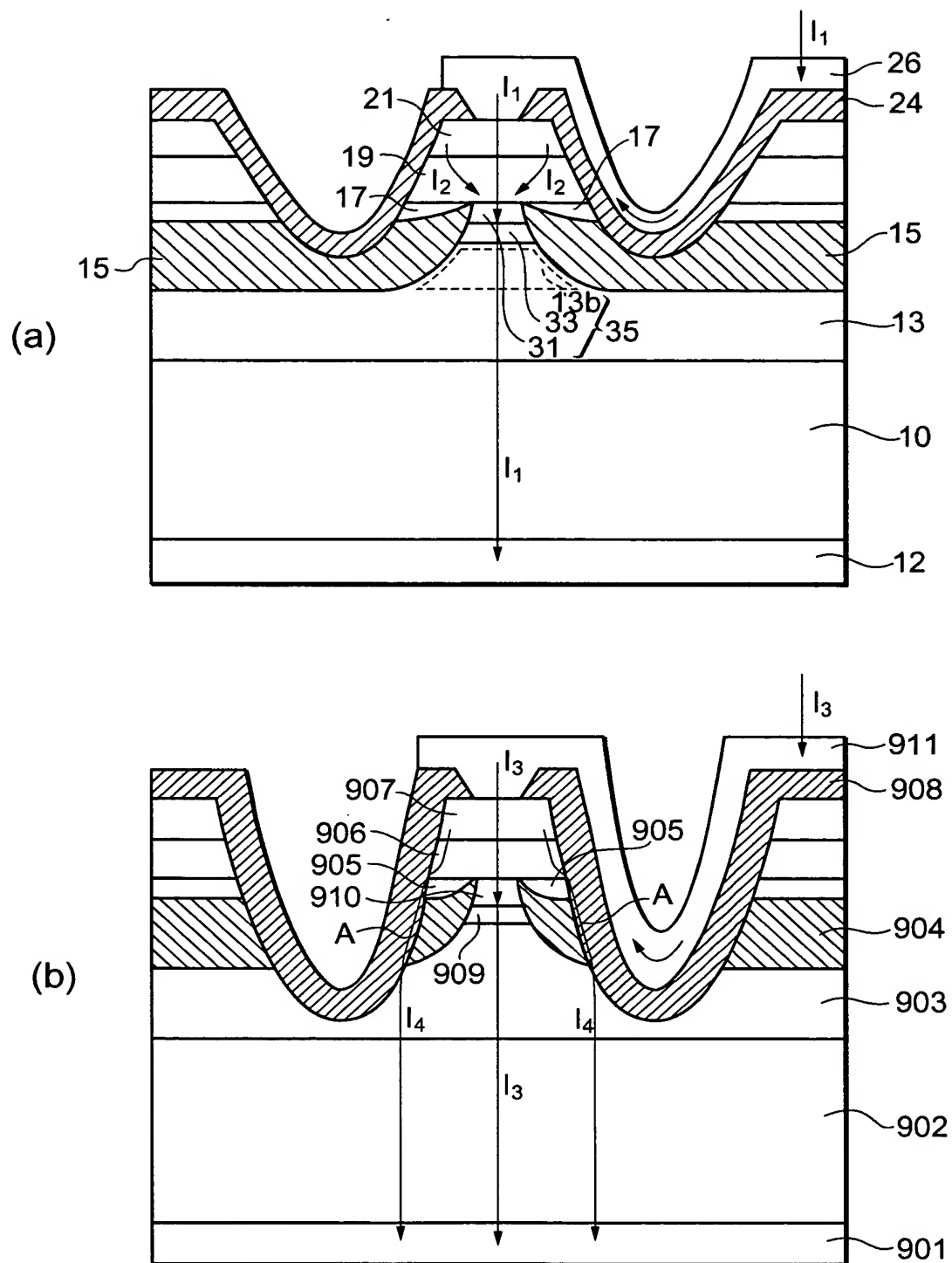




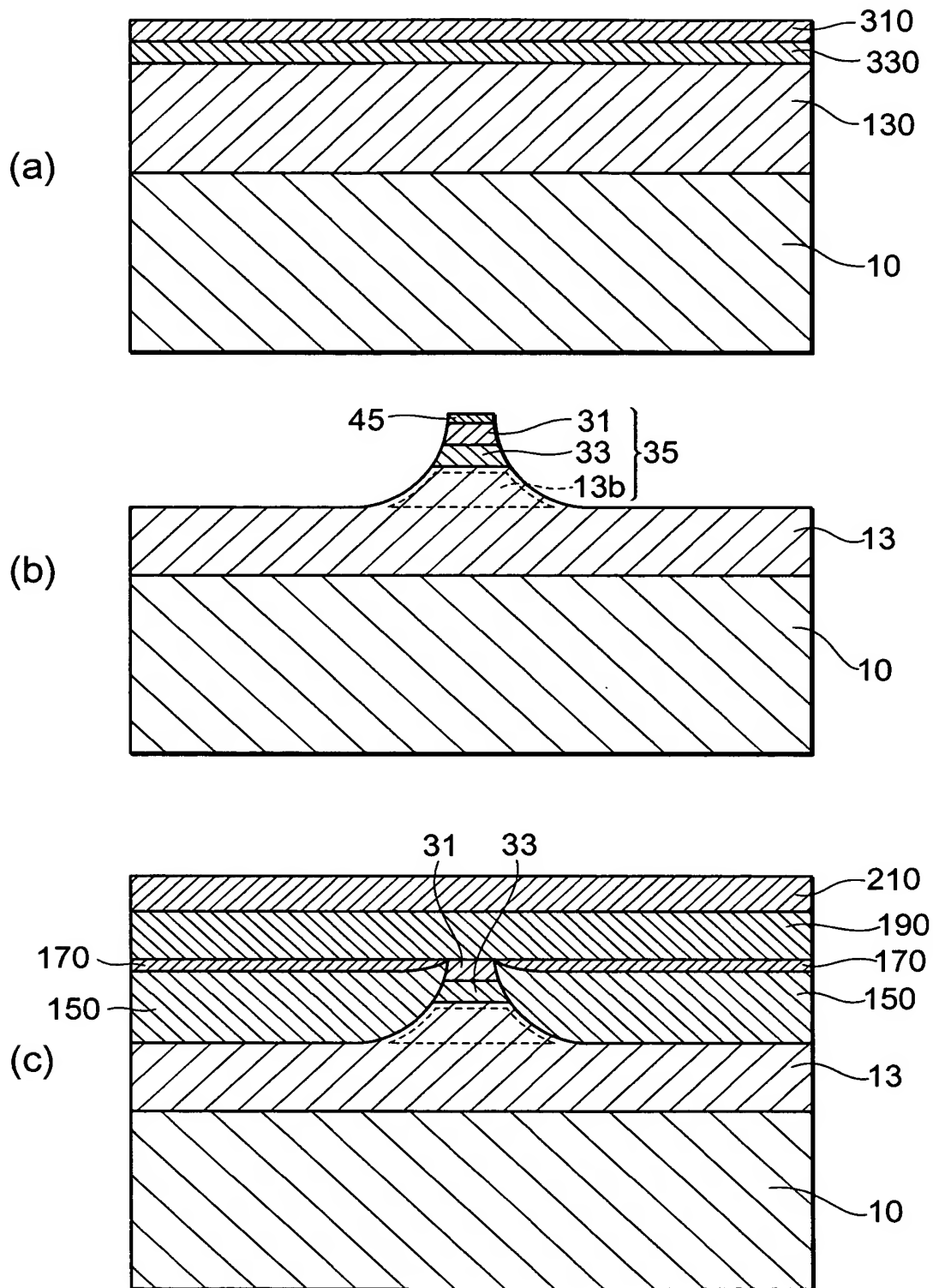
【図 5】



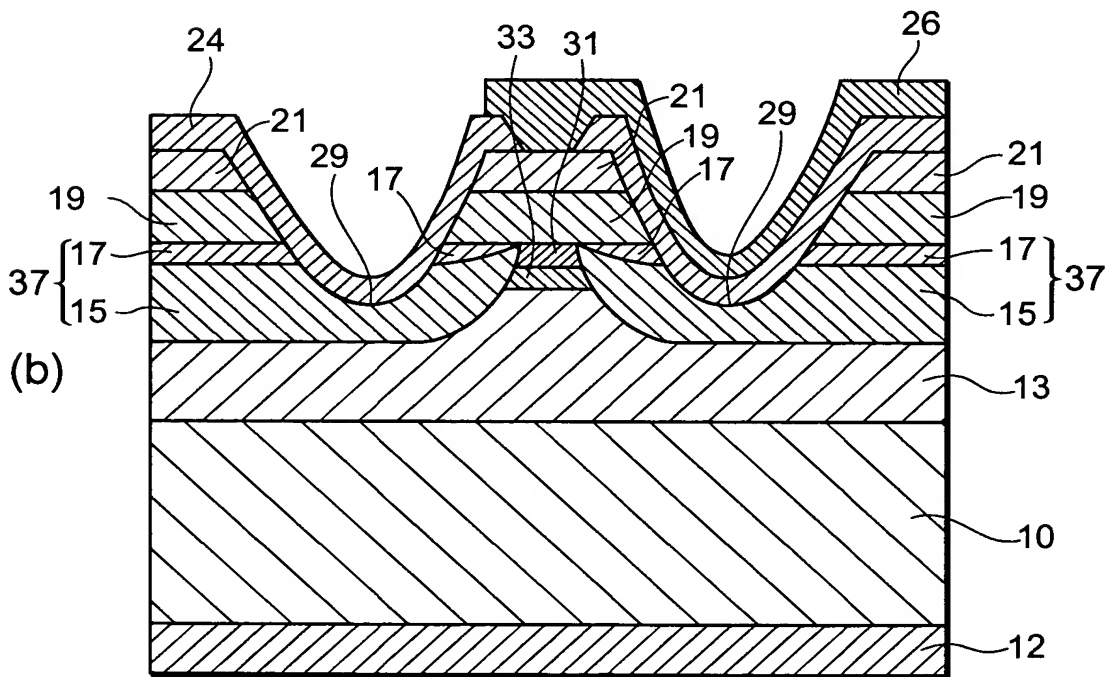
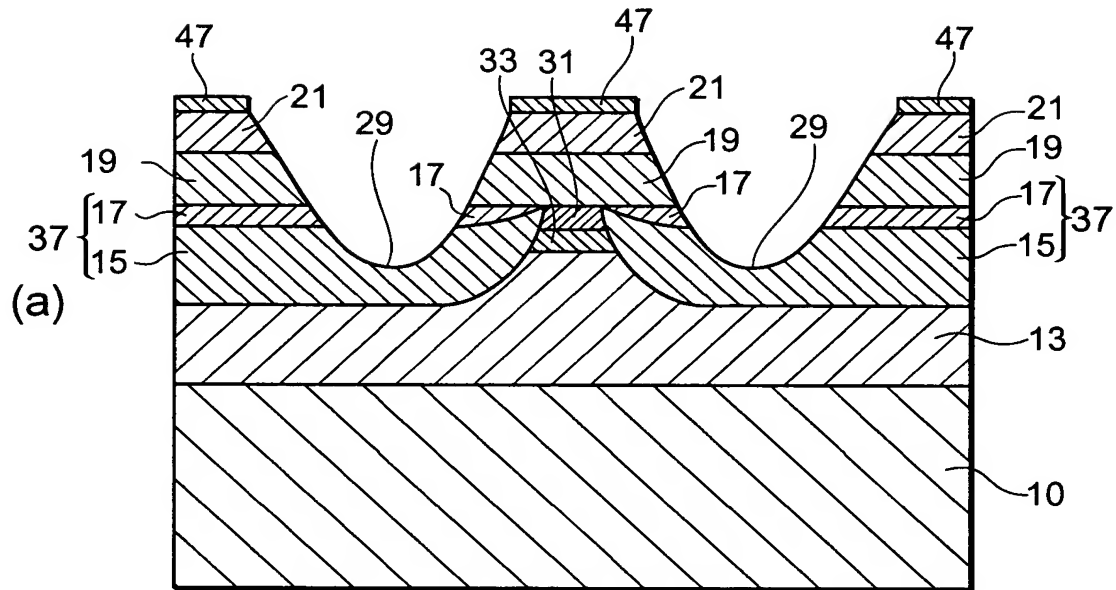
【图 6】



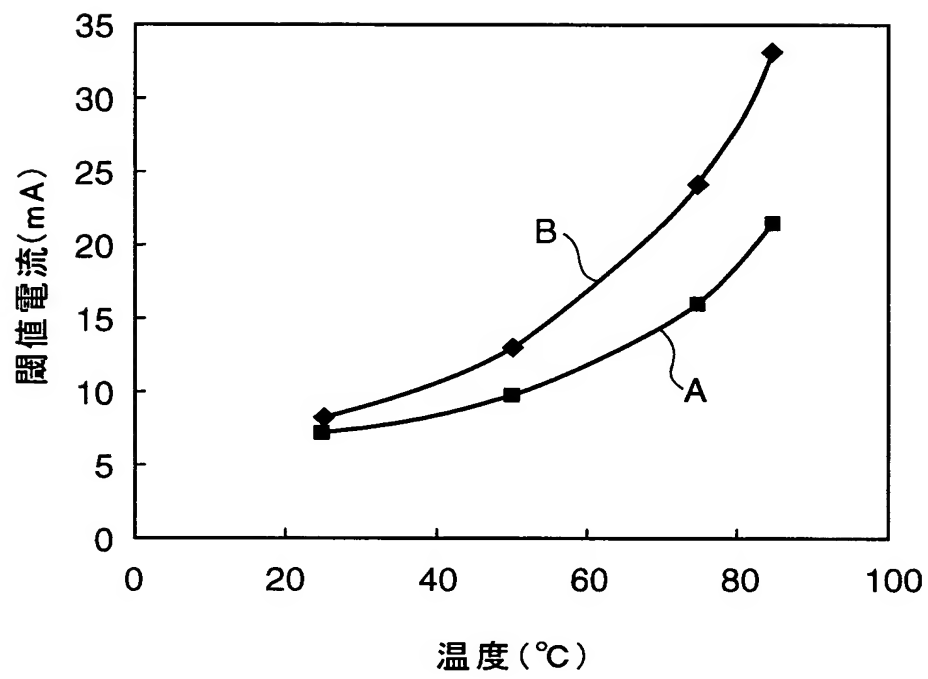
【図 7】



【図 8】

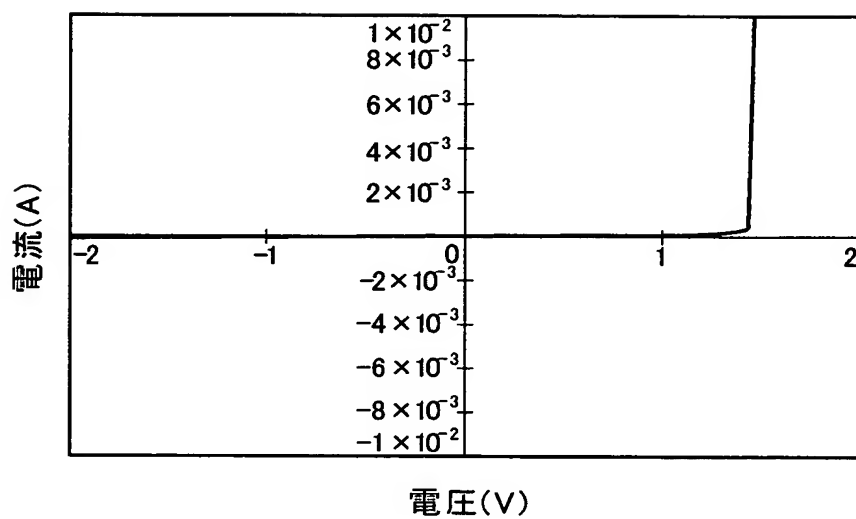


【図 9】

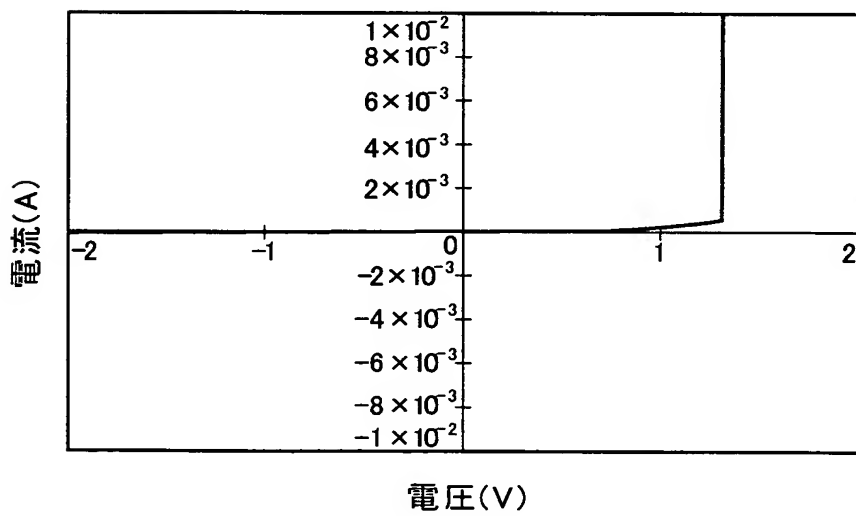


【図 1 0】

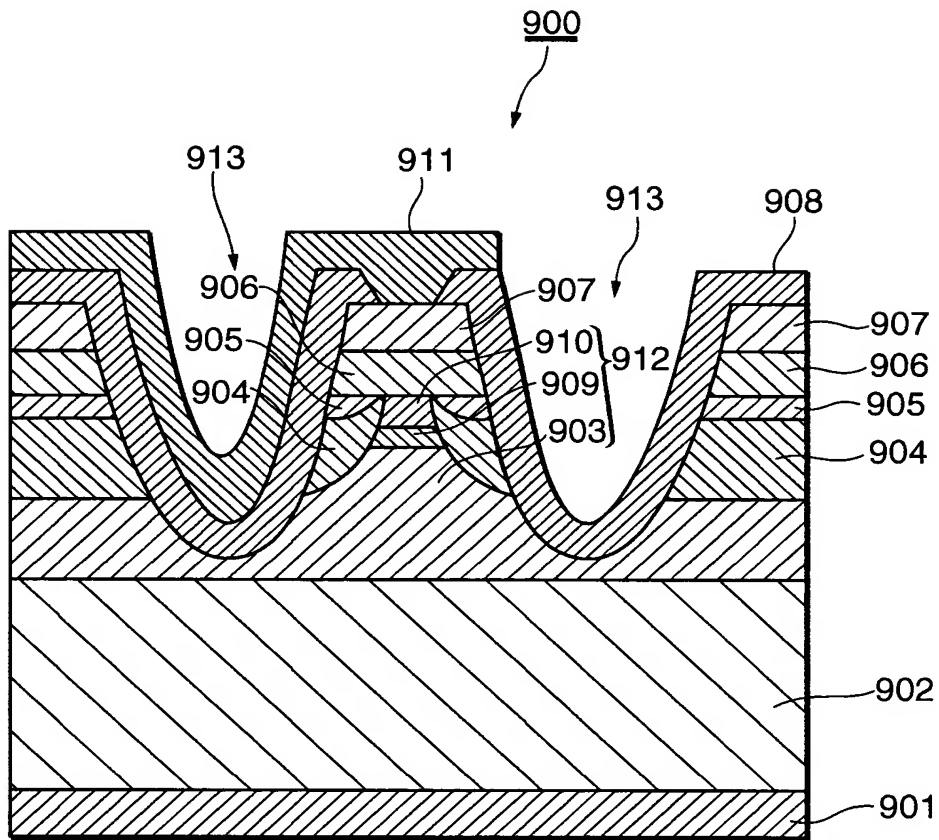
(a)



(b)



【図 1 1】



【書類名】 要約書

【要約】

【課題】 駆動電流を効果的に狭窄できる構造を有する半導体光素子、半導体レーザー素子、半導体光変調素子、及び半導体光集積素子を提供する。

【解決手段】 半導体光集積素子 1 は、2つの半導体光素子、すなわち半導体レーザー素子部 1 a 及び半導体光変調素子部 1 b を有する。これらの半導体光素子は、基板 1 0 上に一体に形成される。半導体レーザー素子部 1 a の光導波路 3 7 は、n 型バッファ層 1 3 上に所定の軸方向を長手方向とするメサ状に設けられる。また、高抵抗層 1 5 は、光導波路 3 7 に流れる駆動電流を狭窄する。2つのトレンチ溝 2 9 は、高抵抗層 1 5 に達するとともに n 型バッファ層 1 3 に達しないように設けられる。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 3 0 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市中央区北浜四丁目 5 番 3 3 号
氏 名	住友電気工業株式会社